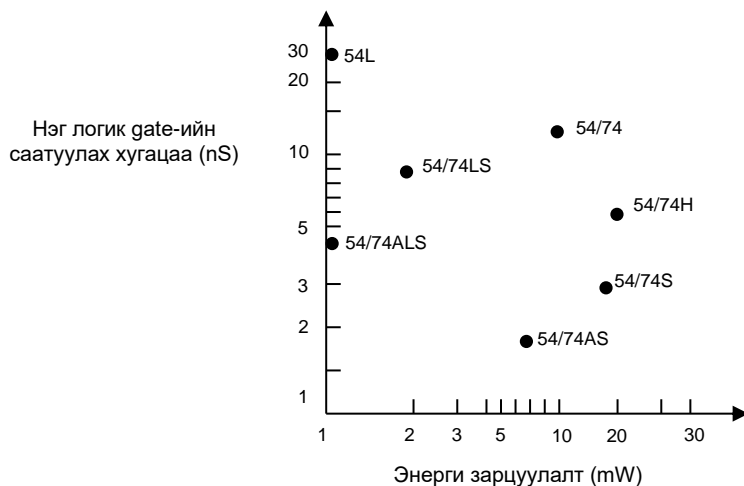
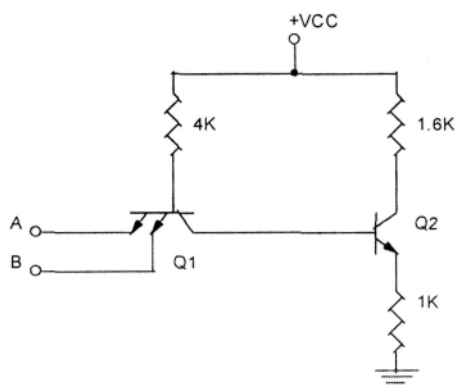




Харьцуулсан график:

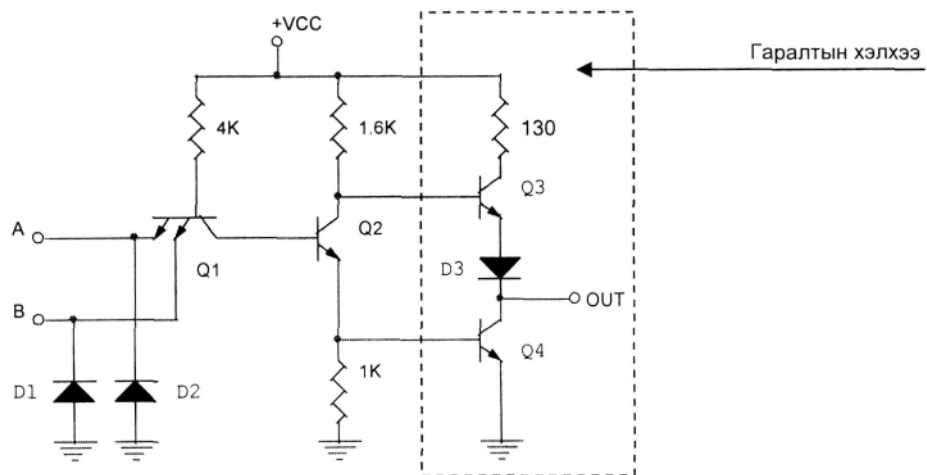


**4.2 Олон эмиттерт бүтэц.** Дараахь зурагт стандарт TTL логикийн оролтын хэлхээний бүтцийг үзүүлжээ. Зургаас харахад гол онцлох зүйл нь Q1 транзистор хоёр эмиттертэй байгаа явдал ю. Ийм бүтэц нь 7400 оролтын хэсэгт таарна. 7400 нь хоёр оролттой NAND логик 4 ширхэгийг агуулсан байдаг.



Дараагийн зураг нь хоёр эмиттертэй транзисторын бүтцийг QA, QB гэсэн хоёр NPN транзистору хувиргасан схемийг харуулжээ. Зургаас харахад QA болон QB транзисторуудын дор хаяж аль нэг нь нээлттэй байхад Q2 транзистор хаалттай байна. Үүнийг тайлбарлая. Логик элементийн оролт буюу QA болон QB транзисторуудын эмиттерүүд дээр логик "0" буюу 0V - ийг өгөхөд транзисторын баз эмиттерийн шилжилт шууд холбогдох бөгөөд энэ хоёр транзистор нээлттэй байна. Транзисторууд нээгдсэнээр эдгээрийн коллектор эмиттерийн шилжилт дээр ойролцоогоор 0, 1V орчим хэмжээтэй хүчдэл унана. Нөгөөтэйгүүр энэ хүчдэл нь Q2 транзисторын баз дээрхи хүчдэл юм. өөрөөр хэлбэл Q2 транзистор нь хаалттай байна гэсэн үг. Харин оролтуудын аль нэгэнд л логик нам түвшинг өгөх юм бол QA, QB транзисторуудын аль нэг нь нээлттэй байх бөгөөд тухайн нээлттэй транзисторын коллектор эмиттерийн шилжилт дээр унах хүчдэл нь мөн л 0,1V орчим байна. Энэ нь Q2 транзистор мөн л хаалттай байна гэсэн үг юм.

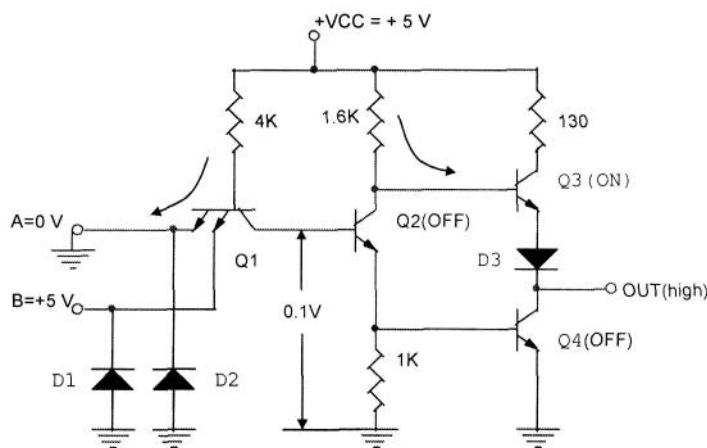
Харин оролтуудад хоёуланд нь логик өндөр түвшин өгвөл яах вэ? Ингэснээр QA болон QB транзисторуудын аль алины баз эмиттерийн шилжилт гэдрэгээр холбогдоно. **Харин эдгээр транзисторуудын баз коллекторын шилжилт шууд холбоотой тул Q2 транзисторын базын нээх гүйдэл QA, QB - ийн баз коллекторын шилжилтээр орж ирнэ. Q2 транзистор нээгдэнэ.**



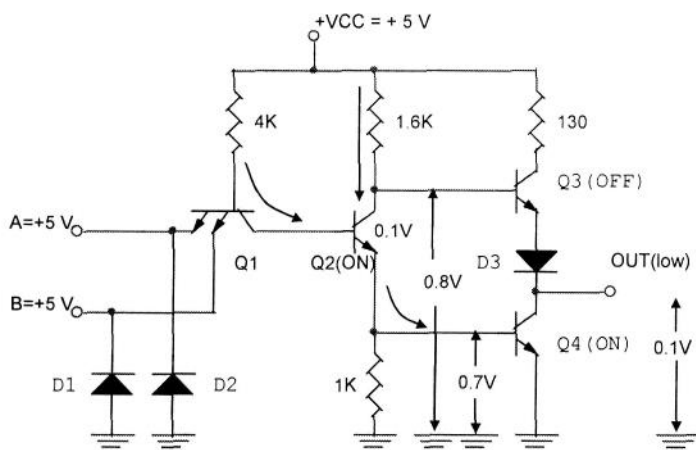
Дээрхи

зурагт

стандарт TTL-н гаралтын хэлхээг харуулжээ. Энэ хэлхээ нь үндсэндээ Q3, Q4 гэсэн 2 транзистораас тогтох бөгөөд эдгээр транзисторууд хугацааны нэг эгшин зэрэг нээлттэй төлөвт оршихгүй байх ёстой. Үүнийг тайлбарлая.



Зурагт үзүүлсэнээр оролтуудын аль нэгэнд логик нам түвшинг өгсөн байна. Энэ Өмнө өгүүлсэнчлэн оролтуудад хоюуланд нь нам түвшинг өгөхтэй ижил нөлөө үзүүлнэ. Иймд эдгээрийн аль нэгийг л авч үзэхэд хангалттай. Энэ үед Q2 транзистор хаалттай байх бөгөөд Q3 транзисторын базын нээх гүйдэл Q2 транзисторын коллекторын эсэргүүцэлээр дамжин орж ирнэ. Иймд Q3 транзистор нээлттэй байна. Харин Q2 транзистор хаалттай учир Q4 транзисторын базад нээх гүйдэл орж ирэхгүй. Иймд уг транзистор хаалттай байна.

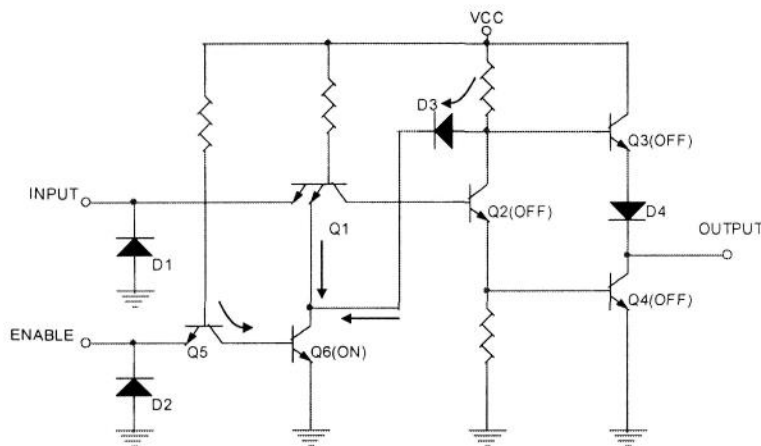


Харин оролтуудад адилхан өндөр түвшин өгсөн бол яах вэ? Энэ тохиолдолд Q2 транзистор нээлттэй байх ба улмаар Q2 транзисторын эмиттерээр Q4 транзисторын базын нээх гүйдэл орж ирнэ. Ингээд Q4 транзистор нээгдэнэ. Нээлттэй транзисторуудын баз-эмиттерийн шилжилт дээр ойролцоогоор 0.7V, коллектор эмиттерийн шилжилт дээр ойролцоогоор 0.1V унадаг гэж үзвэл Q2 транзисторын коллектор дээрхи потенциалын хэмжээ 0.8V орчим байна. Энэ нь Q3 транзисторын баз дээрхи потенциалын хэмжээ гэсэн үг юм. Тэгвэл Q3 транзисторын баз

эмиттерийн шилжилт дээр хэдий их хэмжээний хүчдэл унахыг сонирхоё. Уг транзистор нээлттэй байхын тулд баз эмиттерийн шилжилт дээр (р-п шилжилт) 0.7V орчим хэмжээтэй хүчдэл унах ёстой. Q4 транзистор нээлттэй байгаа тул түүний коллектор эмиттерийн хооронд унах хүчдэлийн хэмжээ 0.1V байна. Эндээс Q3 транзисторын баз болон Q4 транзисторын коллектор хоёрын хооронд унах хүчдэлийн хэмжээ нь 0.7V болох нь харагдаж байна. Гэвч энэ хүчдэл тэр чигээрээ Q3-н баз эмиттер дээр унахгүй болох нь схемээс харагдаж байна. Өөрөөр хэлбэл уг хүчдэлийн хагас нь D3 диодон дээр унах тул Q3 транзистор нээгдэх боломжгүй болж байна.

Иймд Хоёр оролтонд хоёуланд нь логик өндөр түвшин өгөхөд логик элементийн (NAND) гаралтын утга логик нам түвшинг илэрхийлж байна (Q3-хаалттай, Q4-нээлттэй).

**4.3 Өндөр эсэргүүцэлт гаралт.** Логик элементийн гаралтанд логик өндөр болон логик нам түвшин гэсэн хоёр түвшин гардагийг бид өмнө нь үзсэн билээ. Үүнээс гадна 3 дахь түвшин буюу өндөр эсэргүүцэлт төлөв байдаг. Энэ төлөвийн гол онцлог нь өндөр эсэргүүцэлт төлөвт шилжих үед логик элементийг гаралтын pull-up болон pull-down транзисторууд хоёул хаалттай байдаг. Өөрөөр хэлбэл логик элементийн гаралтыг тэжээлээс бүрэн тусгаарлаа өгдөг. Ингэснээр уг гаралтаас гүйдэл гарахгүй (мөн уг гаралт руу гүйдэл орохгүй). Ингэснээр хэд хэдэн логик элементүүдийн (өндөр эсэргүүцэл төлөвт шилждэг гаралттай) гаралтыг нэг логикийн оролтонд холбож болно. Энэ тохиолдолд зөвхөн идэвхитэй логикийн гаралтнаас логик түвшинг уншиж бусад логикууд нь өндөр эсэргүүцэлт төлөвт шилжиж байхаар гаралтыг зохион байгуулах хэрэгтэй. Ингэснээр идэвхигүй байгаа логикуудын гаралтууд идэвхитэй байгаа логик элементийн гаралтанд нөлөөлөхгүй болно. Өндөр эсэргүүцэлт төлөвт шилждэг инвертерийн схемийг авч үзье. Инвертер нь зөвшөөрлийн нэмэлт оролттой бөгөөд энэ оролтонд зөвшөөрлийн утгыг өгсөн үед логик элемент үйлдлээ гүйцэтгэх буюу идэвхитэй байна. Харин зөвшөөрлийн оролтонд идэвхигүй төлөвийг нь өгвөл инвертерийн гаралт өндөр эсэргүүцэлт төлөвт шилжинэ.



Инвертерийн зөвшөөрлийн оролтын идэвхитэй төлөв нь логик нам түвшин байна. Идэвхитэй төлөв буюу логик нам түвшинг зөвшөөрлийн оролтонд өгвөл Q5 транзистор нээгдэх ба улмаар Q6 транзисторыг хаана. Ингэснээр инвертер үндсэн функцийнхээ дагуу ажиллах боломжтой болно.

Харин зөвшөөрлийн оролтонд логик өндөр түвшин буюу идэвхигүй төлөвийг өгвөл яах вэ? Q5 хаалттай болох ба ингэснээр түүний коллектороор Q6 транзисторын базын нээх гүйдэл гүйнэ. Нэгэнт Q6 транзистор нээлттэй төлөвт шилжих тул түүний коллектор эмиттер дээрхи хүчдэл бараг 0 V болно. Энэ нь Q1 транзисторын нэг эмиттер газардах буюу уг транзистор байнгын нээлттэй төлөвт байна. Ингэснээр Q2 хаалттай байх ба улмаар Q4 хаалттай байна гэсэн үг юм. Мөн D3 диодын катод мөн газардаж Q3 транзисторын баз бараг газардана. Өөрөөр хэлбэл Q3 транзистор хаалттай байна. Ингээд логикийн гаралтын хэлхээний хоёр транзистор хоёул хаалттай болсон бөгөөд уг гаралт өндөр эсэргүүцэлт төлөвт шилжиж байна.

**4.4 Нээлттэй коллектортой гаралт.** Нээлттэй коллектортой гаралт нь pull-up транзисторгүй байдаг. Иймд гаралтанд нь логик өндөр түвшин гардаггүй. Харин гаралтын pull-down транзистор нь ямар нэгэн гаралтын төхөөрөмжийн түлхүүр схем байж болохоор зохион байгуулагдсан байдаг. Хэрэв гаралтанд логик өндөр түвшин шаардлагатай бол гадаа pull-up резистор тавьж шийдэж болно.

Нээлтэй коллектортой схемийн бас нэг давуу та бол wired-and гэгддэг логик үржигчийг бий болгож чаддаг явдал юм.

